

Driver circuit for time signal receiver with computer interface - resets internal clock to official time with receiver data rate adjusted to between 1 and 8 times reciprocal of pulse duration

Patent number: DE4213883
Publication date: 1993-11-04
Inventor: GUDE MICHAEL DR (DE)
Applicant: GUDE MICHAEL DR (DE)
Classification:
- **international:** G06F1/14; G04C11/02
- **european:** G04G7/02; G06F1/14
Application number: DE19924213883 19920428
Priority number(s): DE19924213883 19920428

Abstract of DE4213883

The receiver (3) drawing only about 0.5 mA can be supplied via the Data Set Ready and Ready To Send output lines of the interface (1) with a voltage of plus or minus 10 to 12 V which is reduced to the appropriate 1.5 V by a suitable regulator. A stabilised voltage is delivered by a pulse length regulator (2) with good interference suppression. A standard interface-level signal is produced by a level convertor (4) from the receiver output pulse which is displayed by an inverse-parallel LED combination (5). USE/ADVANTAGE - Integrated DCF77 receiver can be coupled at min. cost to s standard RS232 or V24 interface.

Data supplied from the esp@cenet database - Worldwide

Best Available Copy

THIS PAGE BLANK (USPTO,



① BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 42 13 883 A 1**

⑤ Int. Cl.⁵:
G 06 F 1/14
G 04 C 11/02

⑲ Aktenzeichen: P 42 13 883.3
⑳ Anmeldetag: 28. 4. 92
㉑ Offenlegungstag: 4. 11. 93

DE 42 13 883 A 1

㉒ Anmelder:
Gude, Michael, Dr., 5000 Köln, DE

㉓ Erfinder:
gleich Anmelder

Rechercheantrag gem. § 43 Abs. 1 Satz 1 PatG ist gestellt

㉔ Ansteuerschaltung zum Betrieb eines DCF77 Zeitzeichenempfängers an einer RS232- oder V24-Schnittstelle

Best Available Copy

DE 42 13 883 A 1

Beschreibung

Empfänger für den Zeitzeichensender DCF77 sind seit einigen Jahren als miniaturisierte Einchip-Empfänger im Einsatz. Hierbei hat sich insbesondere die Firma JUNGHANS Uhren GmbH, Schramberg, hervorgetan, die diverse deutsche und europäische Patente zu diesem Thema hält.

Für die Datenverarbeitung ist es für viele Anwendungen von besonderer Wichtigkeit, daß die eingesetzten Computer über die genaue Uhrzeit und das aktuelle Datum verfügen. Gerade bei preiswerten Personal Computern ist diesem Umstand durch die Hersteller derselben bislang kaum Rechnung getragen worden, was zu Geräten führt, deren interne Uhren bis zu mehreren Minuten pro Woche falsch geht. Da diese Geräte in den meisten Fällen über eine normgerechte RS232- oder V24-Schnittstelle verfügen, liegt der vorliegenden Erfindung die Aufgabe zugrunde, mit minimalem Aufwand, also ohne einen sonst üblichen Schnittstellen-Senderbaustein, einen integrierten DCF77-Empfänger an eine normgerechte RS232- oder V24-Schnittstelle zu koppeln, um damit die rechnerinterne Uhr auf die amtliche Zeit nachzustellen.

Die Aufgabe wird erfindungsgemäß durch die in den Ansprüchen dargelegte Ansteuerschaltung gelöst.

Für die Versorgung des Empfängers werden die Schnittstellenausgangsleitungen DTR (Data Set Ready) und RTS (Ready To Send) benutzt. Durch die geringe Stromaufnahme des Empfängers (ca. 0,5 mA) kann der Betrieb problemlos aus diesen Leitungen erfolgen. Da der Empfänger jedoch eine Betriebsspannung von ca. 1,5 V benötigt, muß die Schnittstellenspannung von etwa $\pm 10-12$ V durch einen Regler auf die benötigte Spannung gesenkt werden. Um Störungen aus dem Rechner nicht auf den Empfänger zu übertragen, muß dafür gesorgt werden, daß die Stromversorgung eine möglichst hohe Störunterdrückung besitzt. Dieses kann am einfachsten durch einen Längsregler mit hoher Störunterdrückung und entsprechende RC-Glieder erreicht werden.

Die Besonderheit der Erfindung verdeutlicht sich in der einfachen Ansteuerung der RS232- oder V24-Schnittstelle. Durch einen Pegelwandler — z. B. einen Operationsverstärker — wird das nur 1,5 V große Impulsausgangssignal des DCF77-Empfängers auf die benötigten ca. $\pm 10-12$ V verstärkt. Der Empfänger gibt die Daten in Form von Impulsen der nominellen Länge von 0,1 s oder 0,2 s aus.

Obwohl der Receiver der seriellen Schnittstelle im Rechner nur Impulse unterschiedlicher Länge sieht, ist eine Auswertung der Impulslänge möglich. Dieses verdeutlicht Fig. 2. Hier sind zwei unterschiedlich lange Impulse Ia und Ib dargestellt. Die fallende Flanke des Impulses wird vom Receiver als Beginn des Startbits ausgewertet. Die Baudrate des Receivers ist so eingestellt, daß bei dem kürzeren Impuls Ia das Ende des Impulses noch innerhalb des 8-Bit-Datenwortes liegt. Die gelesenen Daten enthalten Nullen auf den niederwertigen Bits und Einsen auf den höherwertigen. Beim längeren Impuls Ib ist das Datenwort jedoch bereits vor dem Impulsende abgelaufen. Das Datenwort enthält hier nur Nullen. Da der Empfänger beim Impuls Ib nicht mit dem richtigen Stopbit versorgt wird, muß eine u. U. entstehender Framing Error in der Receiver-Software abgefangen werden. Alternativ kann die Baudrate soweit gesenkt werden, daß auch der längere Impuls Ib noch vollständig im Datenwort Platz findet. Dann muß

anhand der unterschiedlichen Anzahl der Einsen eine Unterscheidung zwischen den Impulsen getroffen werden.

Da das Ausgangssignal der Ansteuerschaltung hinter dem Pegelwandler voll bipolar ist, können durch eine zweipolige Duo-LED die Empfangsimpulse angezeigt werden, um dem Benutzer eine einfache Kontrolle über den Empfang zu geben.

Durch die Miniaturisierung der Schaltung insbesondere durch SMD-Technik lassen sich Empfänger und Ansteuerschaltung in einem kleinen Gehäuse gemeinsam unterbringen.

Patentansprüche

1. Ansteuerschaltung zum Betrieb eines DCF77-Zeitzeichenempfängers an einer RS232- oder V24-Computerschnittstelle, **dadurch gekennzeichnet**, daß zur Stromversorgung des Empfängers und der Ansteuerschaltung die Handshakeausgangsleitungen (1) der Computerschnittstelle benutzt werden und daß durch einen Längsregler mit hoher Störspannungsunterdrückung (2) aus der unregelmäßigen Versorgungsspannung eine stabilisierte Versorgungsspannung für den eigentlichen DCF77-Empfänger (3) erzeugt wird und daß durch einen Pegelwandler (4) ein bezüglich der Spannungspegel normgerechtes RS232- oder V24-Signal erzeugt wird und daß die Impulslänge des Empfängerenausgangssignals durch Auswertung der Receiver-Daten der seriellen RS232- oder V24-Schnittstelle erfolgt und daß hierfür die Receiver Datenrate nach folgendem Zusammenhang eingestellt wird:

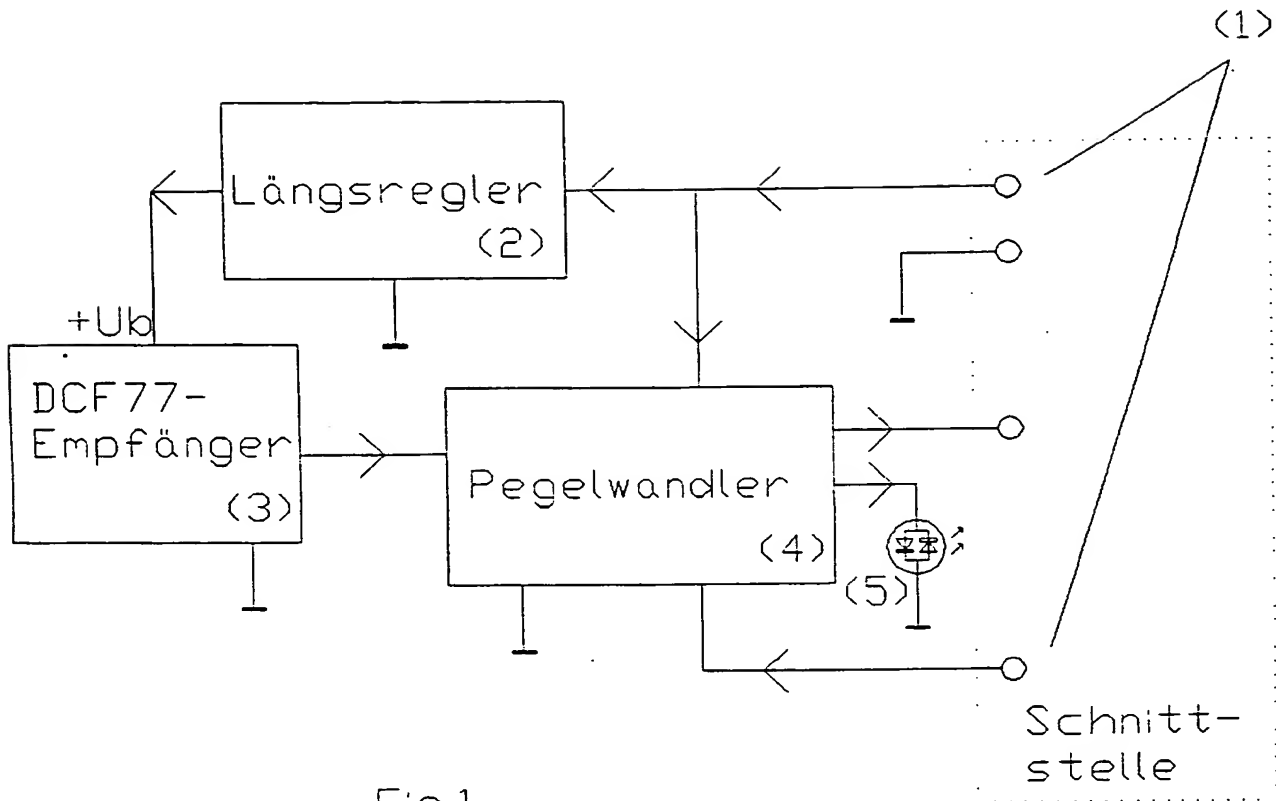
$$1/I < B < 8/I$$

mit B als Datenrate in Bit/s, I als Impulslänge in Sekunden.

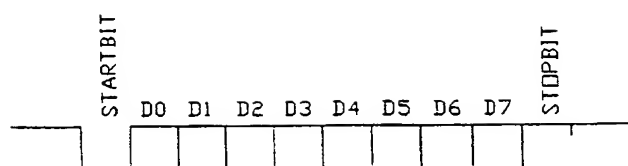
2. Schaltung nach Anspruch 1, dadurch gekennzeichnet, daß die Anzeige der Empfängerimpulse durch eine Duo-LED (5) erfolgt.

3. Schaltung nach Anspruch 1, dadurch gekennzeichnet, daß DCF77-Empfänger und Ansteuerschaltung in einem Gehäuse eingebaut sind.

Hierzu 2 Seite(n) Zeichnungen

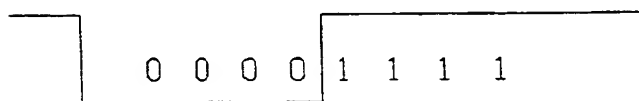


Best Available Copy



(1a)

Empfangenes
Datenwort



00001111

(1b)



00000000

Fig.2